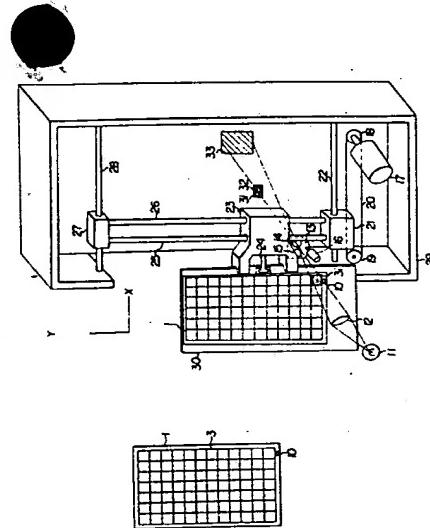


(54) INFORMATION REFERENCE EQUIPMENT

- (11) Kokai No. 52-109349 (43) 9.13.1977 (21) Appl. No. 51-25871
 (22) 3.10.1976
 (71) HITACHI SEISAKUSHO K.K. (72) SHIGERU UCHIDA
 (52) JPC: 97(7)J5;103D1
 (51) Int. Cl². G06F15/40, G03B21/11

PURPOSE: To obtain the equipment easily operated by providing the mark equivalent to the each information partition to the information medium, by detecting this mark and by automatically alternating the magnifications of the photo system to eliminate the operations for the lens alternation unit.

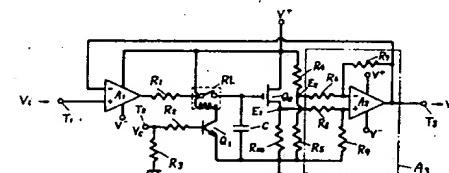
CONSTITUTION: The detection mark 10, equivalent to the standard, is provided to the information medium. To detect this mark 10, the reference equipment is composed of the source lamp 11, the condensing lens, the projection lens 14 equivalent to NMA standard, the projection lens 15 to COM standard, the lens alternating motor 16 directly connected to the lens holding plate B, the pulse motor 17 and the driving mechanism that drives the civro finish 30 directly connected to the motor vertically and horizontally. The feed pitch of the micro finish from this unit and the electronic circuit and the photo magnification are automatically set corresponding to the standard to alternate automatically corresponding to the size of the information partition, so that the information reference is operated.

**(54) MEMORY DEVICE FOR ANALOG VOLTAGE**

- (11) Kokai No. 52-109350 (43) 9.13.1977 (21) Appl. No. 51-26509
 (22) 3.10.1976
 (71) MATSUSHITA DENKI SANGYO K.K.
 (72) SHIYUNJI MINAMI
 (52) JPC: 97(8)D1
 (51) Int. Cl². G11C27/00

PURPOSE: To enable to memorize the quantity of analog in the positive and negative regions by using the circuit composed of the MOS-type FET, and the combination of the condenser and the high-insulator switch.

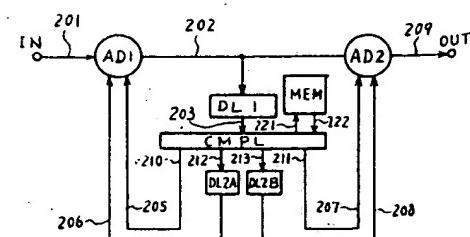
CONSTITUTION: The output terminal of the arithmetic amplifier A₁ is connected to lead relay RL that operates as a high insulator switch through the resistance R₁ and the another terminal to the gate of the MOS-type FETQ₂. The non-polarized condenser C is arranged between the gate of the FETQ₂ and the earth and the resistance R₁₀ is between the source and the earth. The source follower voltage and the reference potential are supplied to each input of the differential amplifier A₂, and its output is connected to the inversion input of the amplifier A₃, so that this circuit is constituted. This circuit memorizes by applying the signal V_i from non-inversion input of the amplifier A₁ to the output of the differential amplifier so as to obtain the greater output than the difference between the source follower output of the FETQ₂ and the reference potential regarding the amplification factor of the amplifier A₂ as more than 1. The high insulator switch of this circuit is composed of MOS-type FETQ₁.

**(54) DIGITAL FILTER**

- (11) Kokai No. 52-109351 (43) 9.13.1977 (21) Appl. No. 51-25156
 (22) 3.10.1976
 (71) HITACHI SEISAKUSHO K.K. (72) HIROSHI KOSUGI
 (52) JPC: 98(3)A32
 (51) Int. Cl². H03H7/28

PURPOSE: To obtain the filter reduced the access time without the use of the multiplier by providing the filter function with the memory accessed and read and by simplifying the circuit and the control.

CONSTITUTION: The equipment consists of the address AD₁ and AD₂, the delay circuits DL₁, DL₂A, and DL₂B, the auxiliary conversion circuit CMPL and the memory MEM. The memory MEN and the auxiliary conversion circuit are constituted so that the product of each factor multiplied one another is obtained. The data corresponding to the input data are stored in the address product each factor multiplied one another, in case of the supply of the positive numeric to the auxiliary conversion circuit CMPC, is stored in the data fields 1 to 4 and they, in case of the supply of the negative numeric, are converted into the numerics having the same absolute value and opposite sign of the numeric in the data 1 to 4. And the products corresponding to each address field are stored in another data fields. With the input supplied, this equipment searches for the address to read out the corresponding output.



⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭52-109351

⑪Int. Cl²:
H 03 H 7/28

識別記号

⑫日本分類
98(3) A 32

厅内整理番号
7439-53

⑬公開 昭和52年(1977)9月13日

発明の数 1
審査請求 有

(全 6 頁)

⑭デジタル・フィルタ装置

⑮特 願 昭51-25156
⑯出 願 昭51(1976)3月10日
⑰發 明 者 小杉宏

横浜市戸塚区戸塚町216番地株

式会社日立製作所戸塚工場内

⑱出願人 株式会社日立製作所
東京都千代田区丸の内一丁目5
番1号
⑲代理人 弁理士 薄田利幸

明細書

1. 発明の名称 デジタル・フィルタ装置

2. 特許請求の範囲

2の補数コードで表わされた2進数のデータに加算、乗算等の演算を行なうことによりフィルタ作用を行なうデジタル・フィルタ装置において、乗算すべき入力データの絶対値に対応してその値と係數の積を表わす2進数を予め蓄積しておくメモリを設け、乗算すべき入力データが与えられたときにその積に相当する2進数を前記メモリから読み出し、指定された一方の極性の場合にはそのまま、他方の極性の場合にはコード変換を行なつて送出することによつて算術的に乗算作用を行なわせるように構成したことを特徴とするデジタル・フィルタ装置。

3. 発明の詳細な説明

本発明はデジタル・フィルタに関するものである。

デジタル・フィルタの伝達関数は複素演算子Zの関数H(Z)として表わされる。このデジ

タル伝達関数H(Z)を実現する回路構成としては通常2次フィルタの級級形が使用される。この場合デジタル伝達関数H(Z)は次のように積の形で表わされる。

$$H(Z) = \frac{b_0 + b_1 Z^{-1} + b_2 Z^{-2}}{Z^2 + a_1 Z^{-1} + a_2 Z^{-2}}$$

このようにデジタル・フィルタを2次セクションの断続接続で構成した場合、1つの2次セクションは普通第1回のような回路で実現される。第1回はi=1の2次セクションの場合を示している。

第1回においてDL1、DL2はそれぞれ1サンプリング周期Tの遅れを出力する遅延回路を、またAD1、AD2は加算器を、MP1、MP2、MP3、MP4は乗算器を示す。乗算器MP1は入力103に係數-a11を乗じた積を出力105として出し、乗算器MP2は入力104に係數-a12を乗じた積を出力106として出す。また、乗算器MP3は入力105に係數b11を乗じた積を出力107

として出し、乗算器 MP 4 は入力 104 に係数 b_{12} を乗じた積を出力 108 として出す。また、加算器 AD 1 は入力 101、105、106 を加算した和を出力 102 として出し、加算器 AD 2 は入力 102、107、108 を加算した和を出力 109 として送出する。また、遅延回路 DL 1 は入力 102 を蓄積し、1 サンプリング周期 T 後に出力 103 として送出する。遅延回路 DL 2 も入力 103 を蓄積し、1 サンプリング周期 T 後に出力 104 として送出する。

以下第 1 図の 2 次セクションの動作を説明する。あるサンプリング時点に入力 101 が与えられる。また乗算器 MP 1 ~ MP 4 は乗算を行ない、それぞれ出力 105 ~ 108 を送出する。また、加算器 AD 1 は入力 101 と乗算結果の 105、106 の 3 つの数の加算を行ない和 102 を選出し、これは加算器 AD 2 に与えられるとともに遅延回路 DL 1 に蓄積される。次に加算器 AD 2 は 102 と 107、108 の加算を行ない、和 109 を出力端子 OUT に送出する。

特開昭52-109351②

そして次のサンプリング周期 T では入力 101 の値は前のサンプリング周期 T とは異なつた値となつて入力され、再び同様な動作を繰り返す。

この動作の時間関係を明確にするため數的に表わしてみる。サンプリング時点に T での入力 101、102、109 の値をそれぞれ $x(nT)$ 、 $w(nT)$ 、 $y(nT)$ とする。遅延回路 DL 1 の出力 103 は 1 サンプリング周期 T だけ前の入力 102 の値になるから $w(nT-T)$ で表わされ、また、遅延回路 DL 2 の出力 104 は 2 サンプリング周期 $2T$ だけ前の入力 102 の値になるから $w(T-2T)$ で表わされる。

データ 102 は入力データ 101 とデータ 105、106 の和であることから

$$\begin{aligned} w(nT) &= \\ &= (nT) - a_{11} = (nT-T) \\ &- a_{12} = (nT-2T) \end{aligned}$$

の関係が成立立つ。

またデータ出力 109 はデータ 102、107、108 の和であることから

$$\begin{aligned} y(nT) &= w(nT) + b_{11} w(nT-T) \\ &+ b_{12} w(nT-2T) \end{aligned}$$

の関係が成立立つ。

各サンプリング周期毎に上記 2 つの関係により出力データ $y(nT)$ を求めることになる。

ところでデータ 101 ~ 109 はすべてあるビット数 N の 2 進数で表わされる。また係数 $-a_{11}$ 、 $-a_{12}$ 、 b_{11} 、 b_{12} はビット数 N の 2 進数で表わされる。またデータも係数も正の数だけでなく負の数となることもある。負数を 2 進法で表現するには通常 2 の補数コードが用いられる。

これによれば $d_0, d_1, d_2, \dots, d_{N-1}$ という 2 準数は

$$d = -d_0 + \sum_{i=1}^{N-1} d_i 2^{-i}$$

という値を表現することになる。ここで各 d_i は 0 または 1 のいずれかの値となる。

たとえば $N=6$ とした場合に 011110 は、

$2^{-1} + 2^{-4} + 2^{-3} + 2^{-2} = 0.9375$ となり、100010 は $-1 + 2^{-4} = -0.9375$ となる。すなわち $-1 \leq d < 1$ であり、 d_0 は正負の符号を表わすことがわかる。

このようにデータ 101 ~ 109 と係数 $-a_{11}$ 、 $-a_{12}$ 、 b_{11} 、 b_{12} は 2 の補数コードで表わされている。

したがつて加算器 AD 1、AD 2 は 2 の補数コードで表現された 2 進数の加算を行なつて和を 2 の補数コードで送出しなければならず、また、乗算器 MP 1 ~ MP 4 は 2 の補数コードで表現されたデータ入力と同じく 2 の補数コードで表現された係数の乗算を行ない、その積を 2 の補数コードで送出しなければならない。

2 の補数コードの性質により加算は 2 の補数コードのまま加算を行なえることが知られている。たとえ上記の例で 0.9375 + (-0.9375) の演算は

$$\begin{array}{r} 011110 \\ +) 100010 \\ \hline 1 \leftarrow 000000 \end{array}$$

で和が 0 となる。

しかし乗算の場合には 2 の補数コードを一旦符号プラス絶対値の形に変換し、絶対値同志で乗算を行ないその積の絶対値に前の符号を付加す

る。

そしてこれをまた 2 の補数コードに変換して積として送出する。

例として $09375 \times (-0777)$ の場合を考えてみる。入力データ 09375 は 6 ビットの 2 進数で表わすと前述のように 011110 となる。係数のビット数 K も同じく 6 であるとすれば 100111 で表わされる。

この 2 数の乗算を行なうために各々を符号プラス絶対値に変換する。入力データは正数なので符号は 0、絶対値は 111110 となる。係数は負数なので符号は 1、絶対値は 100111 の各ビットを反転して末尾に 1 を加算することにより 011001 となる。絶対値同志の乗算は下記のように行なわれる。

$$\begin{array}{r} 11110 \\ \times 11001 \\ \hline 11110 \\ 00000 \\ 00000 \\ +) 11110 \\ \hline 1011101110 \end{array}$$

積の絶対値もまた 5 ビットで表現されなければならぬから上位 5 ビットをとつて 10111 となる。次に符号はデータが 0、係数が 1 と違つてゐるから積は負数となり、積の符号は 1 となる。このため符号ビット 1 と絶対値 10111 よりなる積をこの補数コードに変換して 101001 となる。

このように乗算器の動作は入力の 2 の補数コードから符号プラス絶対値への変換、絶対値同志の乗算、積の符号プラス絶対値から 2 の補数コードへの変換と 3 段階の動作から成り立つているが、特に回路構成上絶対値同志の乗算のハードウェアが複雑になり、また演算時間がかかる。2 進数の乗算に要する時間はデータと係数のビットを並列に与えるか直列に与えるかで違つてくるが、金物があまり複雑にならないようにするために一方を並列、他方を直列に与えるのが普通である。たとえばデータの $(N-1)$ ビットを直列に、係数の $(K-1)$ ビットを並列に与えたとすれば、その乗算には $(N-1)$ クロックの時間を必要とする。金物が最も簡単になる

のは両者とも直列に与える方式であるがこの場合には演算時間は $(K-1)(N-1)$ クロックの時間を必要とし、極めて長くなる。

このように乗算は乗算回路が複雑になり、演算時間も長くかかる。デジタル・フィルタは 1 つの金物で係数の変化させて複数のフィルタとして機能するいわゆる時分割処理が可能な点が他の LC フィルタ等にない利点であるが、演算時間が長いこととけその時分割名電圧を低下させることになる。また、乗算はデータのビットと係数のビットを時間的に正確に与えなければならないので制御回路も複雑になるという欠点がある。

本発明の目的は上記従来の欠点をなくし、回路および制御が複雑で演算時間の長い乗算器を用いないデジタル・フィルタ装置を提供することにある。

本発明は、デジタル・フィルタ内の乗算はデータと係数という 2 数の積を求める動作であり、加算器のように 3 つの入力の和を求めると

いうような各入力の動作ではないことと、入力データはサンプリング時点によって時々切り替るが係数は一定値であることに着目して、入力データに対応に積を予め計算してメモリに蓄積しておく、到來したデータの数値に対応する出力データを読み出し、積として送出するものである。また、メモリの必要な蓄積容量を減らすためにそのメモリだけ入力データの数値に対応する出力データを蓄積しておく、2 の補数コードと符号プラス絶対値コード間の変換はメモリ外で行なうものである。

以下本発明の一実施例を第 2 図および第 3 図に従つて詳細に説明する。

第 2 図において AD1 と AD2 は第 1 図と同様に加算器を示し、IN、OUT は第 1 図と同様にそれぞれ入力端子、出力端子を示す。また、DL1、DL2A、DL2B は遅延回路を示す。また MEM はメモリであり、CMPL は補数変換回路である。遅延回路 DL2A と DL2B はその出力が入力に比べて 1 サンプリング周期 T だけ遅延す

全く同様になり、フィルタとしての周波数特性も全く同一のものが得られる。

次に、補数変換回路 CMPL とメモリ MEM の動作を説明する。補数変換回路 CMPL には 203 を介して 2 の補数コードでデータが与えられる。いま、ビット数が $N = 6$ であるとすれば $d_0, d_1, d_2, d_3, d_4, d_5$ の 6 ビットが 203 を介して与えられるが、補数変換回路 CMPL は符号ビット d_5 が 0 のときには d_1, d_2, d_3, d_4, d_5 の 5 ビットをそのままメモリ MEM IC 221 を介して送出する。そしてメモリ MEM から読み出された 1 つのデータの 6 ビット、 $g_0, g_1, g_2, g_3, g_4, g_5$ をそのまま出力 210 ~ 213 のいずれかに送出する。

また、203 を介して与えられた $d_0 \sim d_5$ の中、符号ビット d_5 が 1 のときには 2 の補数コードで表わされた $d_0 \sim d_5$ を符号プラス換算コードで表わされた $d_0' \sim d_5'$ に変換する。 $d_0 \sim d_5$ の各ビットを反転し最低位ビット d_5 に 1 を加算することにより得られる。この場合 d_5 は 1 となるが、残りの $d_0' \sim d_5'$ を 221 を介して、メモリ MEM

る。またメモリ MEM と補数変換回路 CMPL はその出力 210、211、212、213 としてそれぞれ入力 203 に係数 $-a_{11}, b_{11}, -a_{12}, b_{12}$ を乗じたものが得られるよう構成してある。

第 2 図において、第 1 図と同様あるサンプリング時点 nT での入力データ 201 の値を $w(nT)$ 、データ 202 の値を $w(nT)$ 、出力データ 209 の値を $y(nT)$ とし、そして遅延回路 DL_1, DL_2 による遅延がそれぞれ T であるから加算器 AD_1 の入出力の関係から

$$w(nT) = w(nT)$$

$$-a_{11} w(nT-T) - a_{12} w(nT-2T)$$

が成り立つことがわかる。また、遅延回路 DL_1, DL_2 による遅延が同じくそれぞれ T であるから加算器 AD_2 の入出力の関係から

$$y(nT) = w(nT) + b_{11}$$

$$w(nT-T) + b_{12} w(nT-2T)$$

の関係が成り立つことがわかる。この式は第 1 図の説明で述べた 2 つの式と全く同一であり、第 2 図の回路の入出力間の伝達関数は第 1 図と

に送出する。そしてメモリ MEM から読み出された 1 つのデータの 6 ビット $g_0, g_1, g_2, g_3, g_4, g_5$ を 222 を介して受信する。そしてこの $g_0 \sim g_5$ で表わされる数と符号が反対で絶対値の等しい数を表す $g'_0 \sim g'_5$ を作成する。これは $g_0 \sim g_5$ の各ビットを反転し最低位ビット g_5 に 1 を加算することにより得られる。このようにして得られた $g'_0 \sim g'_5$ を 210 ~ 213 のいずれか定められたところに送出する。

次に第 2 図のメモリ MEM の構成例を第 3 図に示す。記憶内容は 32 の列から成り立っており、各列はそれぞれアドレス欄、データ欄 1 ~ 4 の 5 つの欄から成り立っている。アドレス欄には第 2 図のメモリ MEM の入力 221 に対応する情報が記憶される。いま、第 2 図のデータ 201、202、203、205 ~ 209、210 ~ 213 はすべて、符号を含めて 6 ビットで表現されると仮定しているので各例のアドレス欄のワードは符号を除いて 5 ビットから成り立っている。第 2 図のデータ 210 ~ 213 も 6 ビットで表現しなければならな

いので積を記憶しているデータ欄のワードは 6 ビットより成り立っている。そしてデータ欄 1 には第 2 図のデータ 210 に相当する積が、データ欄 2 にはデータ 212 に相当する積が、データ欄 3 にはデータ 211 に相当する積が、データ欄 4 にはデータ 213 に相当する積が予め計算されて書き込まれている。すなわちデータ欄 1 ~ 4 はそれぞれ係数 $-a_{11}, -a_{12}, b_{11}, b_{12}$ との乗算結果に対応している。但しこれは 203 で補数変換回路 CMPL に与えられたデータが正数の場合であつて、それが負数の場合にはデータ 1 ~ 4 の内容の表わす数値と符号が反対で絶対値の等しい数に補数変換回路で変換されて 210 ~ 213 に送出される。

第 3 図の場合には係数 $-a_{11} = -0.777$ 、
 $-a_{12} = -0.3434$ 、 $b_{11} = -0.707$ 、 $b_{12} = 1$ となつていて、すなわち、第 2 図のフィルタの伝達関数は

$$H(z) = \frac{Z_2 - 0.707z + 1}{Z^2 + 0.777z + 0.3434}$$

となつてゐる。アドレス欄の列1から32までは入力データの絶対値を表わし、10進数で表わせば列1は+0、列2は003125、列3は+00615、列4は+009375、……列31は+09375、列32は+096875を表わす。したがつて、列1から列32で5ビットの入力データの全ての場合を表わしていることが理解できる。

また、各列のデータ欄にはそのアドレス欄に対応した値が記憶されている。たとえば、データ欄1には前述したところによりアドレス欄のデータ記-a₁₁-(-0.777)を乗算して結果が蓄積されている。たとえば、列31ではアドレス欄の内容が11110 (-0.9375)であるから09375×(-0.777)に対応する101001（これは従来方式の説明で例として挙げた乗算と同一である）がデータ欄1に蓄積されている。

第2図のメモリMEMは入力データとして221が与えられるとその入力データと同一の内容を持つアドレス欄を検索する。いま、入力データ221が11110であれば列31のアドレス欄の内容

が一致することを知り、列31のデータ欄1～4の内容を読み出し、データ欄1～4の内容を222を介して補数変換回路CMPLに送出する。

第3図ではアドレス欄を設けているが、アドレス欄を設けないでアクセスすることも通常のメモリのアクセス方法と同様可能である。

なお上記実施例では入力データ203が正の場合にはメモリの内容をそのまま使つて補数変換をしない場合について述べたが、入力データ203が負の場合にメモリの内容をそのまま使い、正の場合に補数変換を行なうようにすることもできる。

上記実施例からも明らかのように本発明によるデジタル・フィルタは、單にメモリにアクセスして読み出すという方式によりフィルタ機能が達成でき、しかもこれは、半導体メモリの進歩により小形経済的に構成できる。また、乗算器の演算時間に比べてメモリのアクセス時間は非常に短かく、時分割処理の多度を向上できる。

また、本出願人は、正負の入力値に対応する値を記憶するというデジタル・フィルタを開発しているが、それに比べて正の入力値に対応する値だけを記憶し、負の入力値の場合はコード変換により絶対値を求めてこれでアクセスし、その結果得られた蓄積内容をコード変換により最終的な値を得る方式により記憶容量が半減できる。

したがつて、本発明によれば、従来のように複雑な構成の乗算器を用いることなくデジタル・フィルタを構成でき経済的効果は大である。

4 図面の簡単な説明

第1図は従来のデジタル・フィルタの構成を示す図面、第2図は本発明によるデジタル・フィルタの一実施例を示す図面であり、第3図は第2図の一部構成を具体的に説明するための図面である。

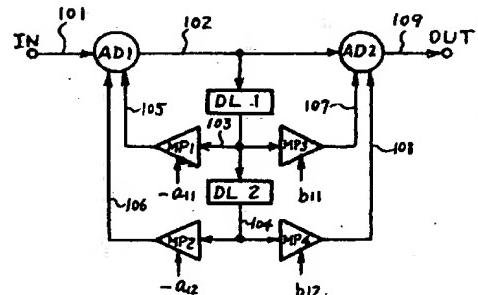
AD1, AD2 加算器

CMPL 補数変換回路

DL 1, DL 2A, DL 2B 遅延回路

MEM メモリ

第1図



昭和52年1月26日
特許庁

図 2

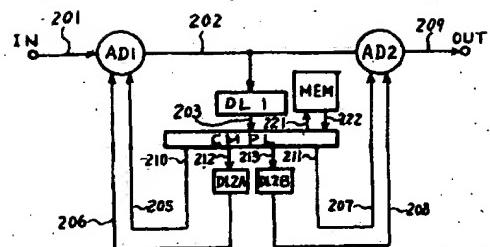


図 3

	アドレス欄	データ欄1	データ欄2	データ欄3	データ欄4
列 1	0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0
列 2	0 0 0 0 1	1 1 1 1 1	0 0 0 0 0 0	1 1 1 1 1	0 0 0 0 0 1
列 3	0 0 0 1 0	1 1 1 1 0	1 1 1 1 1	1 1 1 1 1	0 0 0 0 1 0
列 4	0 0 0 0 1	1 1 1 1 0	1 1 1 1 1	1 1 1 1 1	0 0 0 0 1 1
	1	1	1	1	1
列 31	1 1 1 1 0	1 0 1 0 0 1	1 1 0 1 1 0	1 0 1 0 1 1	0 1 1 1 1 0
列 32	1 1 1 1 1	1 0 1 0 0 0	1 1 0 1 0 1	1 0 1 0 1 0	0 1 1 1 1 1